

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

10/030089
PCT/JPGG/C4715
5-15-2

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

13.07.00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 7月15日

出 願 番 号

Application Number:

平成11年特許願第201875号

REC'D 04 SEP 2000

WIPO

PCT

出 願 人

Applicant(s):

ローム株式会社

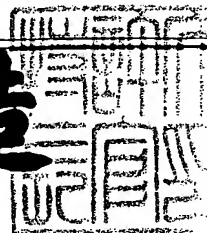
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 8月18日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3064458

【書類名】 特許願
【整理番号】 PR9-00251
【提出日】 平成11年 7月15日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/70
【発明者】

【住所又は居所】 京都市右京区西院溝崎町2 1 番地 ローム株式会社内

【氏名】 坂本 和久

【特許出願人】

【識別番号】 000116024

【住所又は居所】 京都府京都市右京区西院溝崎町2 1 番地

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100087701

【弁理士】

【氏名又は名称】 稲岡 耕作

【選任した代理人】

【識別番号】 100075155

【弁理士】

【氏名又は名称】 亀井 弘勝

【選任した代理人】

【識別番号】 100101328

【弁理士】

【氏名又は名称】 川崎 実夫

【手数料の表示】

【予納台帳番号】 011028

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9401527

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体装置
【特許請求の範囲】

【請求項 1】

MOS型電界効果トランジスタを備えた半導体装置であって、
上記MOS型電界効果トランジスタのオフ時に導通して、このMOS型電界効果トランジスタのソースドレイン間に電流路を形成する内蔵ダイオードにユニバーサル接合構造が内蔵されていることを特徴とする半導体装置。

【請求項 2】

上記ユニバーサル接合構造は、半導体基板の表層領域に形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

上記ユニバーサル接合構造は、ソース電極またはドレイン電極に接合されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、パワーMOSFETなどのMOS型電界効果トランジスタを有する半導体装置に関する。

【0002】

【従来の技術】

モータ等の誘導性の負荷を駆動するためにパワーMOSFETを用いた駆動回路が用いられる場合がある。パワーMOSFETは、たとえば、N型半導体基板の表層部にP型ウエルを形成し、このP型ウエルにN⁺型ソース拡散層を形成して構成される。この場合、P型ウエル外の半導体基板がドレイン層となる。このドレイン層とソース層との間のP型ウエル上には、ゲート絶縁膜を介してゲート電極が設けられ、このようにして、MOS構造が形成される。

【0003】

P型ウエルとN型半導体基板とのPN接合は、いわゆる内蔵ダイオード（ボデ

ィダイオード)を構成する。この内蔵ダイオードは、誘導性負荷の逆起電力に起因する逆回復電流を導くためのフライホイールダイオードとして用いることができる。

【0004】

【発明が解決しようとする課題】

誘導性負荷の逆起電力は、内蔵ダイオードに順方向電圧を印加することになるのであるが、これに伴い、P型ウエルには小数キャリアである電子が蓄積されることが知られている。この蓄積された小数キャリアは、電流の方向が切り換わる転流時において、内蔵ダイオードの速やかな遮断を阻害する。そのうえ、この小数キャリアの流れがデバイスの一部に集中すると、P型ウエルとドレイン層とのPN接合部が破壊され、パワーMOSFETの破壊に至る。

【0005】

そこで、この発明の目的は、上述の技術的課題を解決し、内蔵ダイオードの動作を高速化でき、かつ、破壊耐量を向上することができるMOS型電界効果トランジスタを有する半導体装置を提供することである。

【0006】

【課題を解決するための手段および発明の効果】

上記の目的を達成するための請求項1記載の発明は、MOS型電界効果トランジスタを備えた半導体装置であって、上記MOS型電界効果トランジスタのオフ時に導通して、このMOS型電界効果トランジスタのソースドレイン間に電流路を形成する内蔵ダイオードにユニバーサル接合構造が内蔵されていることを特徴とする半導体装置である。

【0007】

より具体的には、上記MOS型電界効果トランジスタは、半導体基板に形成された第1の導電型のウエルと、このウエル内に形成された第2の導電型(第1の導電型とは異なる導電型)のソース領域と、上記ウエルに接触して形成された第2の導電型のドレイン領域とを有し、上記ウエルとドレイン領域とのPN接合部において内蔵ダイオードが形成されているものであってもよい。この場合に、上記ユニバーサル接合構造は、ウエルの表面付近において、ソース電極に接合され

るように設けられることが好ましい。

【0008】

ユニバーサル接合構造は、ウェル内の小数キャリアに対して障壁をなす第1領域と、上記小数キャリアを引き込む第2領域とを電荷の移動方向と交差する方向に沿って交互に配置した構造である。この第1および第2領域に接触するようにソース電極が設けられるのが好ましい。たとえば、ウェルがP型領域である場合に、 P^+ 型領域と N^+ 型領域とを電荷の移動方向と交差する方向に交互に配置したり、 P^+ 型領域とP型領域とを電荷の移動方向と交差する方向に交互に配置したりすることによってユニバーサル接合構造を形成することができる。

【0009】

本発明の構成によれば、内蔵ダイオードにユニバーサル接合構造を内蔵しているため、内蔵ダイオードの一方の領域（たとえば、上述のウェル）における小数キャリアの蓄積を抑制できる。これにより、内蔵ダイオードを速やかに遮断させることができる。また、少数キャリアの蓄積がないので、転流時においてデバイスの一部に大電流が集中することがなく、これにより、破壊耐量を増大することができる。

【0010】

請求項2記載の発明は、上記ユニバーサル接合構造は、半導体基板の表層領域に形成されていることを特徴とする請求項1記載の半導体装置である。

この構成により、ユニバーサル接合構造の形成が容易になるうえ、ユニバーサル接合構造と電極（ソース電極またはドレイン電極）との接合も容易に行うことができる。

【0011】

請求項3記載の発明は、上記ユニバーサル接合構造は、ソース電極またはドレイン電極に接合されていることを特徴とする請求項1または2記載の半導体装置である。

この構成により、ユニバーサル接合構造に落ち込んだ少数キャリアを速やか引き抜くことができるので、少数キャリアの蓄積を防止できる。

【0012】

【発明の実施の形態】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、この発明の一実施形態に係るMOS型電界効果トランジスタの構造を断面構造とともに示す拡大斜視図である。N型半導体基板20の表層部には、P型ウエル21が所定パターンに形成されている。たとえば、ゲート端子35が接続されるゲートパッド36の直下には、大面積のP型ウエル21（パッド下のP型ウエル）が形成されており、残余の領域には、たとえば、格子パターンの各位置にたとえば平面視において矩形のP型ウエル21が互いに所定距離ずつ離間した状態で配列されて形成されている。

【0013】

各P型ウエル21には、たとえば矩形リング状の N^+ 型ソース拡散領域22が形成されている。そして、P型ウエル21外の半導体基板20の領域およびこれに接合して半導体基板20の裏面側に設けられた N^+ 型領域23がドレイン領域25として機能することになる。そして、 N^+ 型領域23にはドレイン電極24が接合されている。

【0014】

P型ウエル21において、ドレイン領域25とソース拡散領域22との間の表層部は、MOS型電界効果トランジスタのオン時にチャネル50が形成されるチャネル領域26である。このチャネル領域26上には、ゲート絶縁膜27を介してゲート電極28が形成されている。ゲートパッド36の直下のゲート電極28は、ゲート電極28上の絶縁膜29に形成されたコンタクト孔30を介してゲートパッド36に接続されている。その他のゲート電極28は、図示しない位置において、ゲートパッド36の直下のゲート電極28に接続されている。

【0015】

絶縁膜29には、各P型ウエル21の表面上において、当該P型ウエル21内に設けられたソース拡散領域22、およびこのソース拡散領域22に囲まれた領域のP型ウエル21の表面を露出させるためのソースコンタクト孔31が形成されている。絶縁膜29上に形成されたソース電極33は、このソースコンタクト孔31を介して、半導体基板21上に設けられたすべてのソース拡散領域22と

、各P型ウエル21内のソース拡散領域22に囲まれた部分の表面に共通に接続されている。

【0016】

P型ウエル21とN型のドレイン領域25とのPN接合部には、当該MOS電界効果トランジスタのオフ時に導通する内蔵ダイオードDが形成されている。この内蔵ダイオードDは、このMOS型電界効果トランジスタがたとえばモータ等の誘導性負荷の駆動のために用いられる際に、この誘導性負荷の逆起電力に起因する逆回復電流を流すためのフライホイールダイオードとして用いることができる。

【0017】

この内蔵ダイオードDの動作速度（とくに遮断速度）を向上するとともに、内蔵ダイオードDを形成するPN接合部に大電流が流れることを防止する目的で、パッド下のP型ウエルを含むすべてのP型ウエル21には、ユニバーサル接合構造部40が設けられている。すなわち、内蔵ダイオードDを構成するP型ウエル21に、ユニバーサル接合構造40が内蔵されている。このユニバーサル接合構造部40は、各P型ウエル21の表層部において、ソース拡散領域22に囲まれた領域に設けられ、ソース電極33に接合されている。

【0018】

図2は、ユニバーサル接合構造部40の構成を拡大して示す図であり、図2(a)はソース電極33などを除去した状態の平面図であり、図2(c)は部分拡大断面図である。矩形リング状のソース拡散領域22に囲まれた領域P型ウエル21の表層部には、同心円状に、微小幅の N^+ （またはN）型リング状領域41と同じく微小幅の P^+ （またはP）型リング状領域とが交互に形成されている。これらの領域41、42は、いずれもソース電極33に接触している。すなわち、 N^+ 型領域41と P^+ 型領域42とは、P型ウエル21と、ソース電極33との間の電荷の移動方向と交差する方向に沿って交互に配列されている。

【0019】

この構成により、P型ウエル21に少数キャリアである電子が存在すれば、この少数キャリアは、 N^+ 型領域41に落ち込み、さらに、ソース電極33に速や

かに引き抜くことができる。したがって、P型ウエル21における電子の蓄積が抑制できる。

この実施形態のMOS型電界効果トランジスタを用いてモータ等の誘導性負荷を駆動する場合、ゲート電極28にオン電圧を加えてチャネル50（図1参照）を形成することにより、ソース領域22とドレイン領域25とが、このチャネル50を介して接続されることになる。MOS型電界効果トランジスタがオンしているときには、内蔵ダイオードDには、逆方向電圧が印加される。

【0020】

そして、ゲート電圧をオフ電圧としてソースドレイン間を遮断すると、誘導性負荷からの逆回復電流により、内蔵ダイオードDに順方向電圧が印加される。これに伴って、P型ウエル21には、小数キャリアである電子が現れることになるのであるが、この電子は、ユニバーサル接合構造40によって速やかにソース電極33に引き抜かれる。

【0021】

これにより、転流時（内蔵ダイオードに逆方向電圧がかかる状態となったとき）に、内蔵ダイオードDを速やかに遮断（オフ）させることができ、その逆回復時間（ t_{rr} ）を大幅に短縮できる。しかも、P型ウエル21における電子の蓄積が起こらないので、転流時に大電流が集中することもなくなり、内蔵ダイオードDを構成するPN接合の破壊が起こることもない。これにより、従来構造に比較して破壊耐量が格段に向上されたMOS型電界効果トランジスタを実現できる。

【0022】

具体的には内蔵ダイオードDの逆回復時間 t_{rr} を約30%短縮することができ、また、この内蔵ダイオードDのアバランシェ電流（PN接合の破壊が起こらない最大電流）を約20%増大できる。

図3は、ユニバーサル接合構造の他の構成例を示す断面図である。この図3において、上述の図1および図2の各部に対応する部分には、図1および図2の場合と同じ符号を付して示す。この例では、ユニバーサル接合構造部60は、電荷の移動方向と逆方向にあって複数のP⁺型領域61を互いに離間して配列
P⁺型領域61の間においては、ソース

電極 3 3 と P 型ウエル 2 1 の表面との間でショットキ接合が形成されており、全体として、ショットキユニバーサル接合構造が形成されている。

【0023】

この構成では、P 型ウエル 2 1 中に存在する小数キャリアをショットキ接合部を介して速やかに放出することができる。これにより、図 2 の構造のユニバーサル接合構造の場合と同様の効果を達成できる。

なお、ソース領域 2 2 に包囲された領域において P 型ウエル 2 1 の表層部にソース電極 3 3 と接合されるただ一つの P^+ 型領域または N^+ もしくは N 型領域が形成された構成も、本発明におけるユニバーサル接合構造足りうる。この場合でも、P 型ウエル 2 1 内の電子を当該ユニバーサル接合構造部に落ち込ませ、ソース電極 3 3 に引き抜くことができる。

【0024】

この発明の一実施形態について説明したが、この発明は、他の形態で実施することも可能である。たとえば、上述の実施形態では、N チャンネル型の MOS 型電界効果トランジスタを例にとったが、この発明は、P チャンネル型の MOS 型電界効果トランジスタにも適用することができる。この場合には、N 型ウエルに、たとえば、 N^+ 領域と P^+ 領域とを交互に配列したユニバーサル接合構造部、または複数の N^+ 領域を離間して配列したショットキユニバーサル接合構造部を設ければよい。また、ショットキ部は、ソース電極 3 3 の一部の電極材料を、アルミニウム (Al) 以外のチタン (Ti) やモリブデン (Mo) などの電極材に変えることにより形成することもできる。

【0025】

また、ユニバーサル接合構造を形成するための不純物拡散領域は、同心円状に形成する必要はなく、直線ストライプ形状などの他の適切な形状が採用されてもよい。たとえば、P 型ウエルがストライプ状に形成され、その内部にソース領域がストライプ状に形成される場合には、それに応じて、ユニバーサル接合構造もストライプ状に形成するのが適当であろう。

【0026】

さらに、上述の実施形態では、1 個の MOS 型電界効果トランジスタを有する

半導体装置を例にとったが、この発明は、複数のMOS型電界効果トランジスタを有する半導体装置やMOS型電界効果トランジスタ以外の機能素子を同一半導体基板上に有する半導体装置などにも適用することができる。

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図1】

この発明の一実施形態に係るMOS型電界効果トランジスタの構造を断面構造とともに示す拡大斜視図である。

【図2】

ユニバーサル接合構造部の構成を拡大して示す図である。

【図3】

ユニバーサル接合構造の他の構成例を示す断面図である。

【符号の説明】

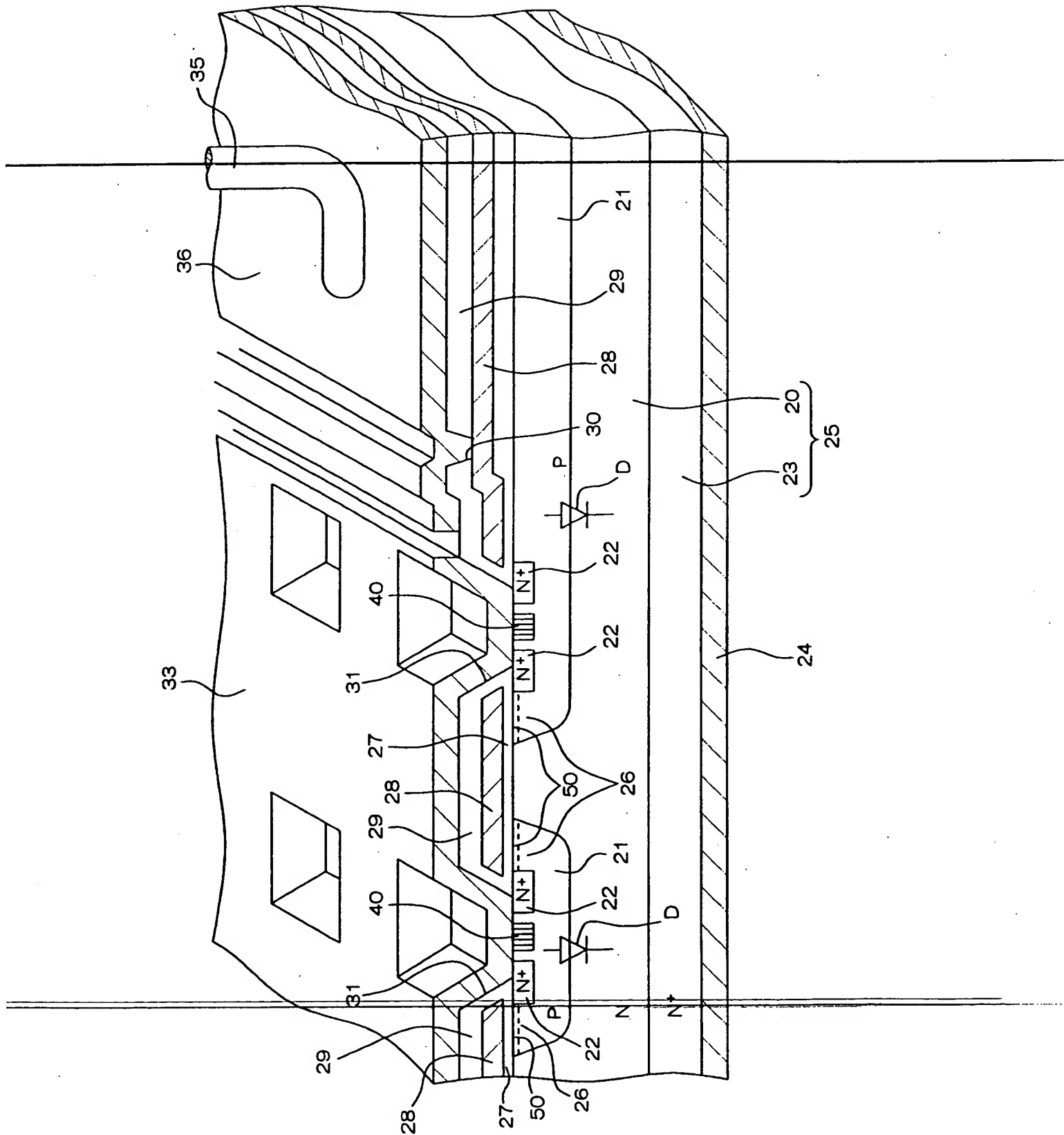
- 20 N型半導体基板
 - 21 P型ウェル
 - 22 N⁺型ソース領域
 - 23 N⁺型領域
 - 24 ドレイン電極
 - 25 ドレイン領域
 - 26 チャネル領域
 - 27 ゲート絶縁膜
 - 28 ゲート電極
 - 33 ソース電極
 - 36 ゲートパッド
-
- 40 ユニバーサル接合構造部
 - 41 N⁺型領域
 - 42 P⁺型領域
 - 60 ユニバーサル接合構造部

61 P⁺型領域

【書類名】

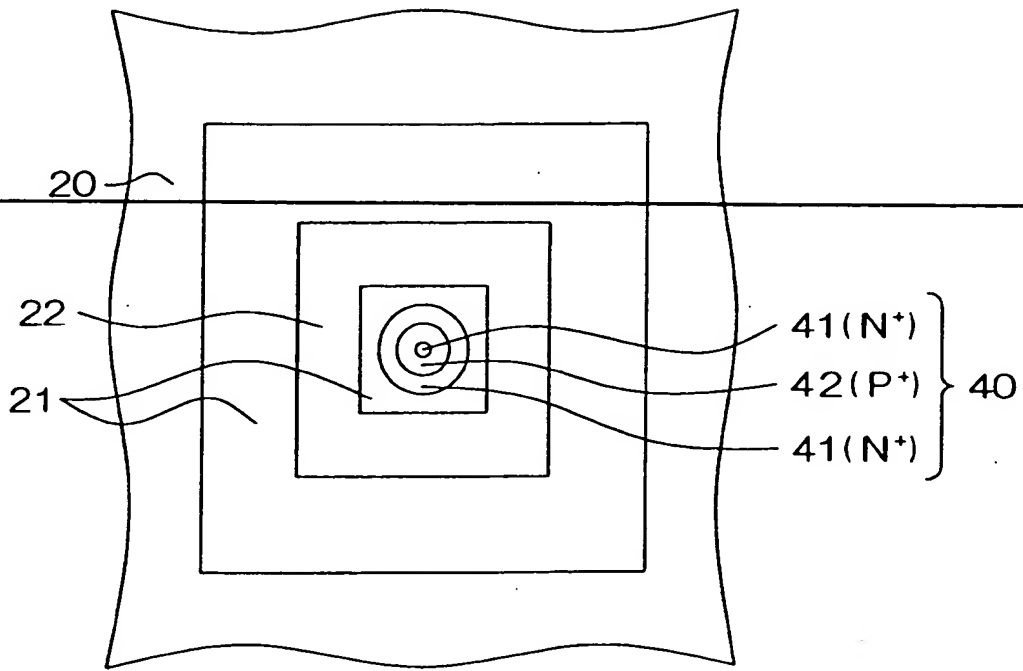
図面

【図1】

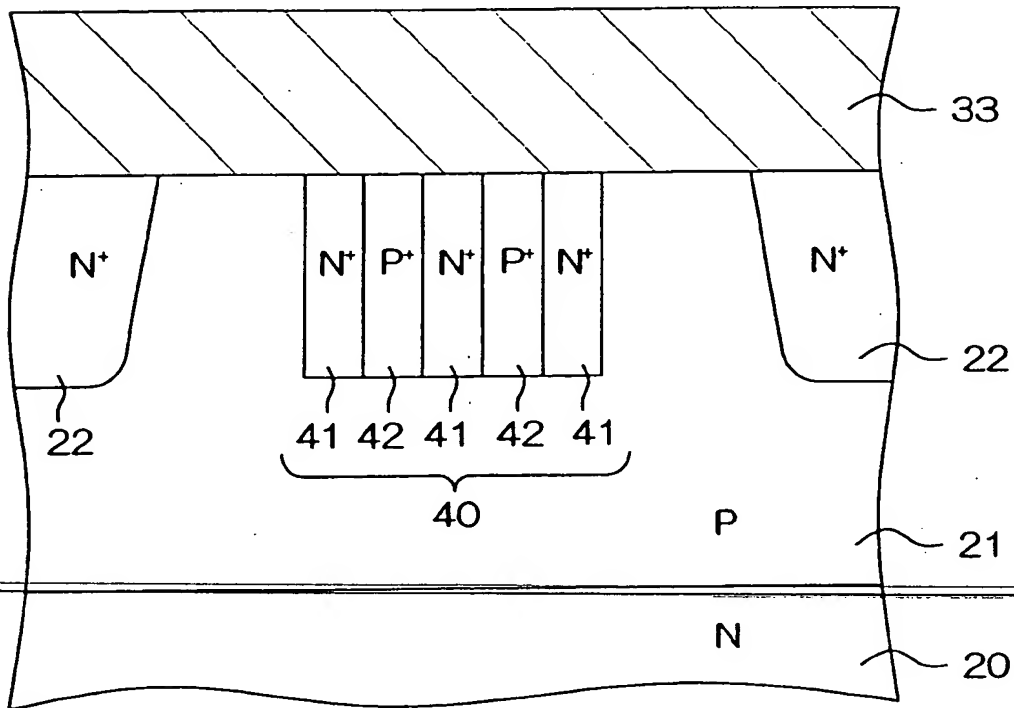


【図 2】

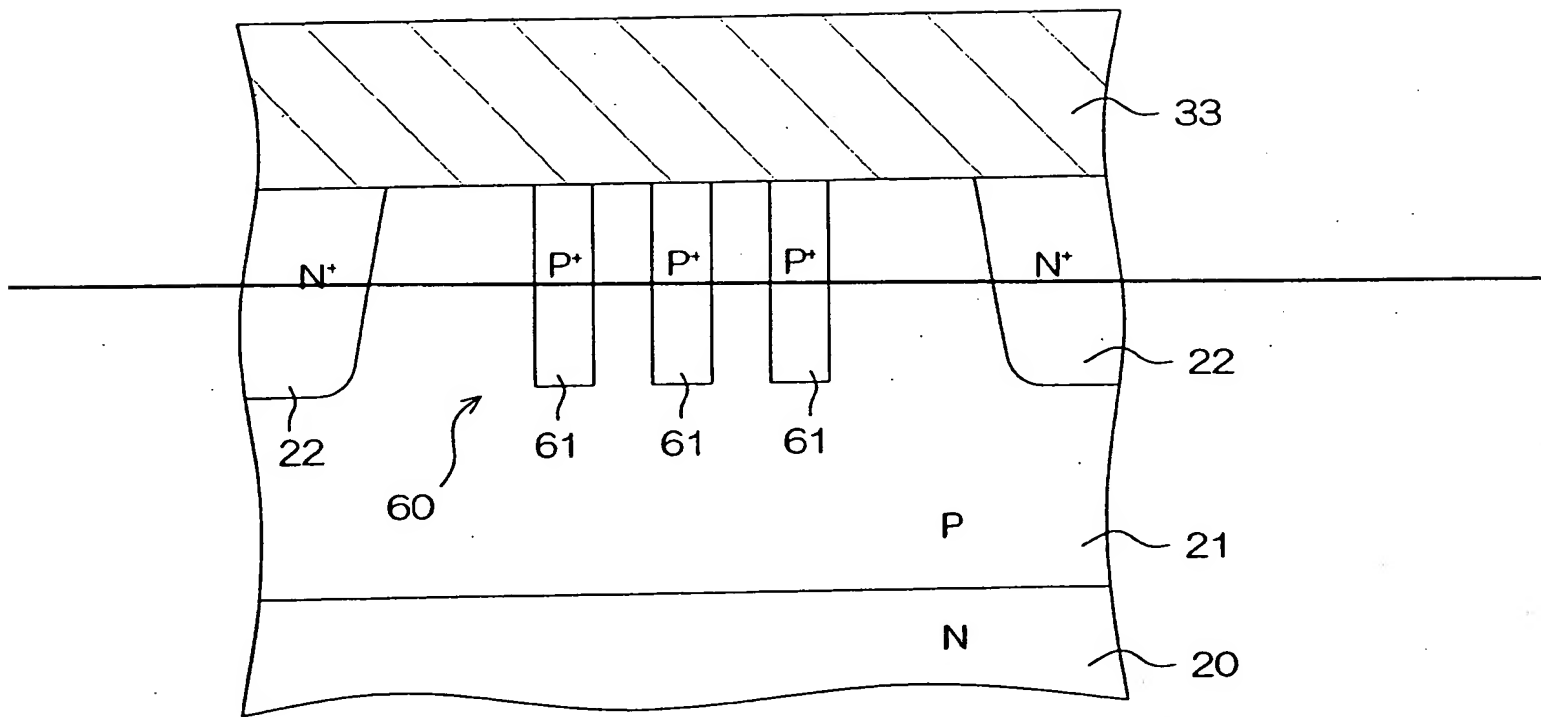
(a)



(b)



【図3】



【書類名】 要約書

【要約】

【課題】 MOS型電界効果トランジスタの内蔵ダイオードの動作を高速化し、かつ、破壊耐量を向上する。

【解決手段】 N型半導体基板20にP型ウエル21が形成されている。このP型ウエル21内にN⁺型ソース領域22が形成されている。P型ウエル21内には、ユニバーサル接合構造部40が設けられている。このユニバーサル接合構造部40は、ソース電極33に接合されている。P型ウエル21とN型半導体基板21とのPN接合により、内蔵ダイオードDが形成されている。この内蔵ダイオードDに順方向電圧が印加されたときにP型ウエル21に現れる小数キャリア（電子）は、ユニバーサル接合構造部40に落ち込み、ソース電極33へと速やかに引き抜かれる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地

氏 名 ローム株式会社
